

Requested Patent: JP2000029828A

Title: SYSTEM AND METHOD FOR ALLEVIATING SKEW IN A BUS ;

Abstracted Patent: US6105144 ;

Publication Date: 2000-08-15 ;

Inventor(s): WU LEON LI-HENG (US) ;

Applicant(s): IBM (US) ;

Application Number: US19980033424 19980302 ;

Priority Number(s): US19980033424 19980302 ;

IPC Classification: G06F1/12 ;

Equivalents: ;

ABSTRACT:

In order to transmit several data words in succession over a bus between components in a data processing system, the skew between the various bus lines has to be compensated in order that each data word is accurately received. The skew compensation is implemented by setting predetermined delays on certain bus lines in response to the comparison of a test pattern with an ideal situation.

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号
特開2000-29828
(P2000-29828A)

(43) 公開日 平成12年1月28日 (2000.1.28)

(51) Int.Cl.⁷
G 0 6 F 13/42

識別記号
3 5 0

F 1
G 0 6 F 13/42

テマコード (参考)

3 5 0 A

審査請求 有 請求項の数 9 O L (全 11 頁)

(21) 出願番号 特願平11-47428

(22) 出願日 平成11年2月25日 (1999.2.25)

(31) 優先権主張番号 09/033424

(32) 優先日 平成10年3月2日 (1998.3.2)

(33) 優先権主張国 米国 (US)

(71) 出願人 390009531

インターナショナル・ビジネス・マシー
ズ・コーポレーション

INTERNATIONAL BUSIN
ESS MASCHINES CORPO
RATION

アメリカ合衆国10504、ニューヨーク州
アーモンク (番地なし)

(72) 発明者 レオン・ライーヘン・ウ

アメリカ合衆国78726 テキサス州、オ
ースティン、ランディ・コーヴ 10212

(74) 代理人 100086243

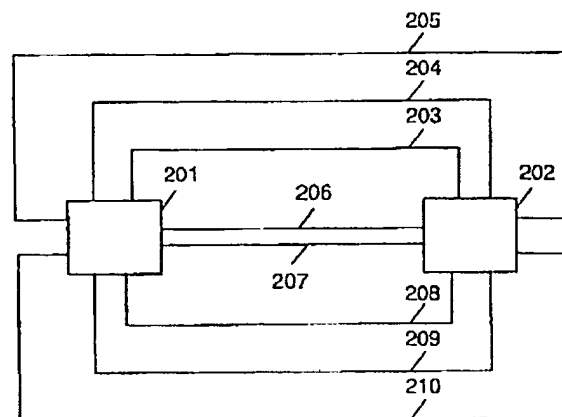
弁理士 坂口 博 (外1名)

(54) 【発明の名称】 バスのスキューを補償するための方法および装置

(57) 【要約】

【課題】 バスのスキューを補償する方法および装置を提供。

【解決手段】 データ処理システムのコンポーネント間をバスを介していくつかのデータ・ワードを連続して伝送するために、種々のバス・ライン間のスキューは各々のデータ・ワードが正確に受信されるように補償されなければならない。スキューの補償を、試験パターンと理想状態との比較に応じて特定のバス・ラインに対して所定の遅延を設定することによって実現する。



【特許請求の範囲】

【請求項1】第1のデータ処理コンポーネントと第2のデータ処理コンポーネントとを接続するバスのスキューを補償するための方法であって、
前記バスのバス・ラインを介して前記第1のデータ処理コンポーネントから前記第2のデータ処理コンポーネントへ信号を送る送信ステップと、
前記信号が所定のウインドウ内に受信されたかどうかを判断する判断ステップと、
前記所定のウインドウ内に受信されなかった場合に、前記信号を遅延させる遅延ステップと、
を有する方法。

【請求項2】前記判断ステップは、さらに、
前記信号をデジタル化する信号デジタル化ステップと、
前記所定のウインドウを表す理想信号をデジタル化する理想信号デジタル化ステップと、
前記デジタル化した信号を前記デジタル化した理想信号と比較する比較ステップと、
を有する請求項1に記載の方法。

【請求項3】前記遅延ステップは、さらに、
前記比較ステップの結果に応じて、前記信号に加える遅延の量を計算する計算ステップと、
前記信号を前記第2のデータ処理コンポーネントの受信回路へ運ぶバスに前記遅延を加える遅延付加ステップと、
を有する請求項2に記載の方法。

【請求項4】前記送信ステップ、前記判断ステップ、および前記遅延ステップは、前記バス内の各々のバス・ラインに対して実行される請求項3に記載の方法。

【請求項5】複数のバス・ラインの各々を介して第1のチップから第2のチップへ試験信号を送るための駆動回路と、
前記第2のチップで前記試験信号を受信するための受信器と、
前記試験信号をデジタル化するための第1のタイミング・デジタイザと、
理想信号ウインドウを生成するための生成回路と、
前記理想信号ウインドウをデジタル化する第2のタイミング・デジタイザと、
前記デジタル化した試験信号を前記デジタル化した理想信号ウインドウと比較する比較回路と、
前記デジタル化した試験信号と前記デジタル化した理想信号ウインドウとの前記比較に応じて前記試験信号を運ぶバス内に遅延を挿入するための遅延挿入回路と、
を有する装置。

【請求項6】前記駆動回路、前記比較回路、および前記遅延挿入回路は、前記第1のチップおよび前記第2のチップのJTAG回路によって実現される、請求項5に記載の装置。

【請求項7】前記挿入された遅延は、前記試験信号が前

記理想信号ウインドウ内に受信されることを保証する請求項5に記載の装置。

【請求項8】複数のドライバと該複数のドライバに接続した第1のJTAG制御回路とを有する第1のチップと、

複数の受信器、該複数の受信器に接続した複数の遅延調整器、該複数の遅延調整器に接続した複数の第1のタイミング・デジタイザ、複数の理想信号ウインドウ・ジェネレータ、該複数の理想信号ウインドウ・ジェネレータに接続した複数の第2のタイミング・デジタイザ、および前記複数の第1のタイミング・デジタイザおよび前記第2のタイミング・デジタイザに接続した第2のJTAG制御回路を有する第2のチップと、

前記複数の受信器に前記複数のドライバを接続する複数のバス・ラインを持つバスと、

プロセッサに接続したJTAGコード・ジェネレータを持つ第3のチップとを有し、さらに、

該JTAGコード・ジェネレータが前記第1のJTAG制御回路および前記第2のJTAG制御回路に接続しているデータ処理システム。

【請求項9】前記プロセッサは、スキュー補償プログラムを走らせるために動作可能であり、該スキュー補償プログラムは、

複数のバス・ラインの各々を経由して複数のドライバから複数の受信器へ複数の試験信号を送るステップと、

前記複数の試験信号を前記第1のタイミング・デジタイザでデジタル化するステップと、

前記複数の理想信号ウインドウを前記複数の第2のタイミング・デジタイザでデジタル化するステップと、

前記複数のデジタル化した試験信号を前記複数のデジタル化した理想信号ウインドウと比較するステップと、

前記複数のデジタル化した試験信号と前記複数のデジタル化した理想信号ウインドウとの前記比較に応じて前記複数の試験信号の一つを運ぶバス内に前記複数の遅延調整器の一つによって遅延を挿入するステップと、
を有する請求項8に記載のデータ処理システム。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、一般にデータ処理システムに関するもので、特にデータ処理システム内のコンポーネント間における個々のバス・ラインでのスキューの補償に関する。

【0002】

【従来の技術】図1は、複数の中央処理装置(CP)チップ101を含む多重処理システム100を示すブロック図である。CPチップ101はメモリ・コントローラ102に接続された2次(L2)キャッシュを有するものであってもよい。メモリ・コントローラ102は、直接あるいはトランシーバ103を介してメモリカード・コントローラ105に接続できる。各々のメモリ・カー

ド・コントローラ105は、複数のDRAM106を持つメモリ・カード104の一部を構成するものであってもよい。複数のバスによってコンポーネント101~106は様々な構成で相互接続される。

【0003】これらのコンポーネント101~106によるデータ処理をスピード・アップするために、従来から絶え間ない努力がなされている。しかし、システム100全体で可能な最大速度に関する制限要素の一つがコンポーネント間を結ぶそれらのバスのデータ伝送速度である。典型的なバスの動作は、2つのコンポーネント間の各々のバス・ライン上でデータを一度に1ビットずつ伝送することであった。換言すれば、先行するデータ・ビットが受信コンポーネントによってうまくラッチされるまで次のデータ・ビットの伝送は行われない。伝送速度を高めるためには、先行するビットがうまく受信されるまで次のビットが待たされるというこの要件なしで、各々のバス・ラインに連続して多数のビットを伝送させればよい。その場合、ある瞬間を見れば、コンポーネント間を伝送中の複数のビットが各バス・ライン上に存在する。

【0004】各々のバスで複数のビットを伝送することは、データ伝送の頻度を著しく高める、すなわちデータ伝送サイクル時間を著しく減少させるであろう。多重ライン・データ・バスの信号を正確に取り込むために、すべてのラインの受信器におけるデータ到着時間がタイミング・ウィンドウ内に収まらなければならない。そのようなタイミング・ウィンドウの長さはデータ伝送サイクルの長さと同様である。サイクル時間が減少すると、取り込みタイミング・ウィンドウもまた減少する。

【0005】一つのバスは複数のビット（しばしば特定のワードと対応づけられている）を並列に送るための複数のバス・ラインを有するので、もし何らかの原因でそれらのビットの一つ以上が並列に移動する他のビットよりも速くあるいは遅く移動されるならば、受信側では次のデータ・ワードが到着する前にデータ・ワードの一部のみしか受信できない可能性が存在する。データ伝送に関する従来の方法では、サイクル時間は比較的高いので、異なるサイクルからのデータの誤った取り込みが生じることはないであろう。

【0006】そのような遅延の原因はいくつかあるが、例えば一つのバス内の種々のバス・ラインの長さが不均一であることがその一つである。図2では、バス・ライン203~210から構成されるバスによって相互接続されたコンポーネント201および202が図示されている。図に示すように、バス・ライン203~210の長さは印刷回路基板上でのそれらのレイアウトに応じて異なる。高速では、一つのビットがバス・ライン205を移動するのに要する時間は、一つの並列ビットがバス・ライン206を移動するのに要する時間よりも大きいであろう。もう一つの要因は、一つのコンポーネントにお

いてバス・ライン上にビットを送り込むための種々のドライバが異なる配置をとることであろう。これらのドライバ回路は、チップ上で異なる位置に配置されることがあり、さらに該チップの製造方法によっては、これらの種々のドライバに対して異なる動作速度をもたらすこともある。一様ではない処理はまた個々のバス・ラインの品質にバラツキが生ずる原因ともなる。さらに、電源ノイズによってドライバの遅延に変化が生ずるであろう。電源ノイズは、ランチング・クロックのタイミングも変えることがあり、それによってデータ・バス信号のタイミングが変えられる。

【0007】

【発明が解決しようとする課題】このような要因の結果として、スキューが一つ以上のバス・ラインにもたらされることで該バス・ラインを伝送されるビットの到着に不満足な遅延が生ずるであろう。そのような不満足な遅延は、バスを介して一度に伝送される多重データ・ワードの信号を取り込む取り込みラッチの能力を妨げる。

【0008】信号のタイミングに悪影響を及ぼすそれらの要因のいくつか、例えば信号ライン間の長さの相違は時間とは関係がなく、またそれらの要因のいくつか、例えば電源によるドライバの遅延の変動は時間によって異なる。静的補償技術を時間不変スキューの補償に使用することができる。

【0009】その結果、そのようなスキューを補償する方法が当該技術分野において求められている。

【0010】

【課題を解決するための手段】本発明は、取り込みクロック・タイミングに関して信号伝送のための最大信号スキュー許容タイミング・ウィンドウを提供する。本発明によれば、各々の信号ラインの信号タイミングを繰り返してサンプリングすることを基本として、遅延挿入により最大スキュー許容タイミング・ウィンドウに各々の信号ラインの信号を整列させる。そのような整列は、信号バス・データ取り込み能力を改善し、それによって多重ビット・データ伝送のデータ伝送サイクル時間を減少させる。

【0011】本発明は、各々のバス・ラインに関連したラッチと受信器との間に遅延調整器を挿入することを含む。遅延調整器の目的は、最も好ましい状態（スキュー許容的）で取り込みラッチに信号が到着するように、各々のバスに遅延を挿入することである。各々の信号バスの遅延を較正するために、タイミング・デジタイザが使用される。タイミング・デジタイザは、8~16ビットのシフト・レジスタ・セルであってもよい。シフト・レジスタ・セルは、クロック周波数がCPU周波数の4倍であるクロックによってトリガされる。タイミング・デジタイザは、遅延調整器の後に置かれる。クロックと入力信号との間のタイミング関係を決定するために、ローカル・クロックによって生成する理想信号ウィンドウが

他のタイミング・デジタイザへ送られる。タイミング・デジタイザのすべてのシフト・レジスタ・セルは、スキャン・チェーンとして一緒に結合され、その内容はスキャン・アウトされてサービス・プロセッサに送られる。このサービス・プロセッサは、各々の信号バスの遅延を理想信号ウインドウと比較し、続いて遅延調整器を用いて遅延を特定のバス・ラインに挿入する。

【0012】

【発明の実施の形態】以下の説明では、本発明を完全に理解するために、特定のワード長またはバイト長等、数々の具体的で明確な詳細を明らかにする。しかし、本発明がそのような具体的で明確な詳細なしでも実施可能であることは当業者にとっては明白であろう。別の例では、不要な詳細によって本発明が不明瞭なものとならないように、よく知られた回路はブロック図のかたちで示してある。大部分において、タイミングの検討等に関する詳細は、本発明の完全理解を得る上では不要なものであり、また当業者の技術範囲内であることから除外してある。

【0013】図面について言及するならば、図示した要素は必ずしも現実の形を示しているわけではない。また類似もしくは同様の要素は図面において同一の参照符号によって示されている。

【0014】本発明は、信号の取り込みを行う取り込みラッチを改善し、またデータ処理システム内の種々のコンポーネントを結びつけるバスまたはネット内の個々のバス・ラインに関連するスキューを軽減する。そのような処理システムを図1に示す。本発明は、コンポーネント101～106を接続する任意のバスで利用可能であり、またCP101とそのL2キャッシュ（オンチップでもオフチップでもよい）との間を接続するバスでも利用できる。

【0015】バスは複数のバス・ラインを含み、複数のビットを並列に伝送することができる。そのようなビットの並列配置は、例えばデータ・ワードを構成する。一連のビットを首尾よくバスで伝送するためには、各バス・ラインで許容可能なスキューはごくわずか、またはゼロである。なぜなら、特定のビットが特定のクロック・サイクル内で受信されることが重要だからである。図3は、誤ったクロック・ウインドウに信号が取り込まれることのない、許容可能なスキューの最大量を示すものである。所期のウインドウは、データ信号が受信器で受信されなければならないクロック・サイクルである。図示した信号の場合、スキュー許容マージンはゼロから2分の1サイクルまでの間の任意の値とすることができる。もしスキューがマージンよりも大きいならば、信号は所期のウインドウとは別のサイクル中に受信器によって取り込まれるかも知れない。

【0016】図4は、理想信号ウインドウである所期のウインドウと正確に一致して受信器で受信される理想信

号を示すものである。そのような場合、最大スキュー許容値バス・サイクルの2分の1に等しい。

【0017】図5および図6は、本発明の概念を示すものである。図5において、複数（ n 個）のサンプルが各バス・ラインを経て伝送され、生成された理想信号と比較される。複数のサンプルは、効果的に包絡線を作り出す。

【0018】図6は、この信号包絡線が本発明による補償を受けた後でどのようにシフトされるかを示しており、この例ではバス・ラインに加えられた余分な遅延の一部がもたらされる。

【0019】つぎに、図7はバス710（ネット' n '）の種々のバス・ラインに遅延を加えるための本発明の構成を示すブロック図である。送信チップ701および受信チップ702がバス710によって接続されている。これらのチップは、例えば図1に示したデータ処理システム内の任意の2つのコンポーネントを表すものであってもよい。データ・ワードは、複数のドライバ708によってバス710経由で伝送され、複数の受信器711に受信される。

【0020】本発明は、本発明のスキュー最小化プログラム704を受け取るプロセッサ・コア705を用いるサービス・プロセッサ・チップ703の制御下で実施される。スキュー最小化プロセスは、電源投入後または要求に応じて実行され得る。チップ703は、スキュー最小化プログラム704を実行する特別なプロセッサとして機能する。処理能力は、チップ703のJTAGコード・ジェネレータ706、チップ701のJTAG回路およびチップ702のJTAG回路714内に実装されるJTAGプロトコルを介してプロセッサ・コア705によって導出される。

【0021】JTAGはチップを試験するために業界で使用される標準プロトコル機構である。IEEE規格1149.1（IEEE標準テスト・アクセス・ポートおよび境界走査アーキテクチャ）を参照されたい。IEEE規格1149.1に準拠しているチップに、該チップの各I/Oピンに結合した制御回路を実装した。この制御回路は、ブロック707および714によって表される。このJTAG制御回路へのアクセスは、1つ以上のI/O制御ピンによって与えられ、それによってテスト・デバイス、例えばブロック706内の回路がチップでの種々の試験手順を制御および実行するために接続され得る。

【0022】信号位置合わせプログラム704にตอบสนองして、JTAGコード・ジェネレータ706は、JTAG制御回路707が所定のビット・パターンをドライバ708からバス710上に駆動できるようにする。ブロック707および714は、共通のJTAG回路を含んでいる。図9では、この信号は受信器711によって受信されているものとして示されている。さらに、制御信号

がK1/K2クロック制御信号ジェネレータ709によって送られ、図8に示す遅延調整器801によって受信される。デジタル化信号が調整済みウィンドウの中央に置かれるように、遅延調整器801を用いてK1/K2クロックのタイミングを調整する(図9参照)。K1/K2クロック信号は、クロック信号の8~16倍であってもよく、シフト・レジスタ802、フェーズ・ロック・ループ(PLL)803、除算器804および807、ローカル・クロック・ジェネレータ805、ならびにH-1ツリー806から成る回路によって生成される。この回路からの信号は中央バッファ808に受け取られ、つぎに、H-2ツリー809に送られ、さらにK1/K2ローカル・クロック・ジェネレータ810に送られる。

【0023】入力信号がタイミング・デジタイザ713によってデジタル化される一方、ジェネレータ717によって生成された理想ウィンドウはタイミング・デジタイザ715によってデジタル化される。つぎに、これらをJTAG回路714で比較し、遅延信号をレジスタ718を介して遅延調整器712に送ることで、特定のバス・ラインに対する任意の要求された遅延を加える。このプロセスは各々のバス・ラインに対して行われる。

【0024】図8の820は、各々のバス・ラインについて、受信チップ702での使用のために入力信号をラッチするL1/L2ラッチである。

【0025】破線720(図7参照)は、受信器711からタイミング・デジタイザ715への信号パスを表し、遅延調整器712を較正するために使用される。タイミング・デジタイザ713の出力は、遅延調整器712で遅延した信号に対応する。タイミング・デジタイザ715の出力は、720が入力として選択される場合、遅延のない信号に対応する。これら2つの出力信号を比較して、遅延調整器が較正される。

【0026】遅延調整器712の詳細は図10に示されており、レジスタ718から受信した選択信号S1およびS2にตอบสนองして、マルチプレクサ1001による粗い遅延調整とマルチプレクサ1002による精細な遅延調整とを提供することができる。

【0027】図11は、理想ウィンドウ・ジェネレータ717の構成および入出力信号を示したものである。

【0028】図12は、本発明の信号位置合わせプログラム704を説明するためのものである。ステップ1201では、各々のバス・ラインについて、JTAG制御回路714が受信器711によって受信された入力信号とウィンドウ・ジェネレータ717によって生成された理想信号ウィンドウとの間の相対的タイミング関係をサンプリングする。ステップ1202では、入力信号をデジタル化したものと、理想信号ウィンドウとを比較することで、スキューを補償するために必要な遅延を計算する。これは、例えばどれぐらい多くのビットが異なっ

ているかをカウントし、その数をレジスタ718を通して使用することで、所望の量の遅延を取り入れるために遅延調整器712で受信される信号S1およびS2を生成すれば実現できる。ステップ1203では遅延調整器の較正が行われ、最後のステップ1204では選択信号S1およびS2により遅延調整器の設定が行われる。

【0029】以上、本発明およびその利点が詳細に記述されたが、種々の変更、置換および改変が本発明の精神および範囲から離れることなく行うことが可能であることが理解されるべきである。

【0030】まとめとして、本発明の構成に関して以下の事項を開示する。

(1) 第1のデータ処理コンポーネントと第2のデータ処理コンポーネントとを接続するバスのスキューを補償するための方法であって、前記バスのバス・ラインを介して前記第1のデータ処理コンポーネントから前記第2のデータ処理コンポーネントへ信号を送る送信ステップと、前記信号が所定のウィンドウ内に受信されたかどうかを判断する判断ステップと、前記所定のウィンドウ内に受信されなかった場合に、前記信号を遅延させる遅延ステップと、を有する方法。

(2) 前記判断ステップは、さらに、前記信号をデジタル化する信号デジタル化ステップと、前記所定のウィンドウを表す理想信号をデジタル化する理想信号デジタル化ステップと、前記デジタル化した信号を前記デジタル化した理想信号と比較する比較ステップと、を有する上記(1)に記載の方法。

(3) 前記遅延ステップは、さらに、前記比較ステップの結果に応じて、前記信号に加える遅延の量を計算する計算ステップと、前記信号を前記第2のデータ処理コンポーネントの受信回路へ運ぶバスに前記遅延を加える遅延付加ステップと、を有する上記(2)に記載の方法。

(4) 前記送信ステップ、前記判断ステップ、および前記遅延ステップは、前記バス内の各々のバス・ラインに対して実行される上記(3)に記載の方法。

(5) 複数のバス・ラインの各々を介して第1のチップから第2のチップへ試験信号を送るための駆動回路と、前記第2のチップで前記試験信号を受信するための受信器と、前記試験信号をデジタル化するための第1のタイミング・デジタイザと、理想信号ウィンドウを生成するための生成回路と、前記理想信号ウィンドウをデジタル化する第2のタイミング・デジタイザと、前記デジタル化した試験信号を前記デジタル化した理想信号ウィンドウと比較する比較回路と、前記デジタル化した試験信号と前記デジタル化した理想信号ウィンドウとの前記比較に応じて前記試験信号を運ぶバス内に遅延を挿入するための遅延挿入回路と、を有する装置。

(6) 前記駆動回路、前記比較回路、および前記遅延挿入回路は、前記第1のチップおよび前記第2のチップのJTAG回路によって実現される、上記(5)に記載の

装置。

(7) 前記挿入された遅延は、前記試験信号が前記理想信号ウィンドウ内に受信されることを保証する上記

(5)に記載の装置。

(8) 複数のドライバと該複数のドライバに接続した第1のJTAG制御回路とを有する第1のチップと、複数の受信器、該複数の受信器に接続した複数の遅延調整器、該複数の遅延調整器に接続した複数の第1のタイミング・デジタイザ、複数の理想信号ウィンドウ・ジェネレータ、該複数の理想信号ウィンドウ・ジェネレータに接続した複数の第2のタイミング・デジタイザ、および前記複数の第1のタイミング・デジタイザおよび前記第2のタイミング・デジタイザに接続した第2のJTAG制御回路を有する第2のチップと、前記複数の受信器に前記複数のドライバを接続する複数のバス・ラインを持つバスと、プロセッサに接続したJTAGコード・ジェネレータを持つ第3のチップとを有し、さらに、該JTAGコード・ジェネレータが前記第1のJTAG制御回路および前記第2のJTAG制御回路に接続しているデータ処理システム。

(9) 前記プロセッサは、スキュー補償プログラムを走らせるために動作可能であり、該スキュー補償プログラムは、複数のバス・ラインの各々を経由して複数のドライバから複数の受信器へ複数の試験信号を送るステップと、前記複数の試験信号を前記第1のタイミング・デジタイザでデジタル化するステップと、前記複数の理想信号ウィンドウを前記複数の第2のタイミング・デジタイザでデジタル化するステップと、前記複数のデジタル化した試験信号を前記複数のデジタル化した理想信号ウィンドウと比較するステップと、前記複数のデジタル化した試験信号と前記複数のデジタル化した理想信号ウィンドウとの前記比較に応じて前記複数の試験信号の一つを運ぶバス内に前記複数の遅延調整器の一つによって遅延を挿入するステップと、を有する上記(8)に記載のデータ処理システム。

【図面の簡単な説明】

【図1】本発明を適用し得る多重処理システムの構成を示すブロック図である。

【図2】一つのバスでの不均一なラインの長さを示すブ

ロック図である。

【図3】受信器に受信された信号のスキュー許容マージンを示す図である。

【図4】理想信号ウィンドウを示す図である。

【図5】遅延を加えることにより、各バス・ラインの信号分布および理想信号ウィンドウの中心を合わせる様子を示す図である。

【図6】遅延を加えることにより、各バス・ラインの信号分布および理想信号ウィンドウの中心を合わせる様子を示す図である。

【図7】本発明の構成を示すブロック図である。

【図8】タイミング・デジタイザによって使用されるクロック信号の生成の詳細を示すブロック図である。

【図9】遅延サンプリング・タイミングを示す図である。

【図10】遅延調整器の詳細を示す回路図である。

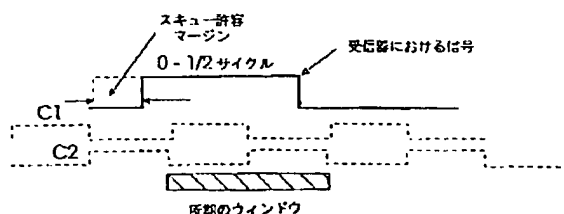
【図11】理想信号ウィンドウ・ジェネレータの詳細を示す図である。

【図12】本発明の方法を示すフローチャートである。

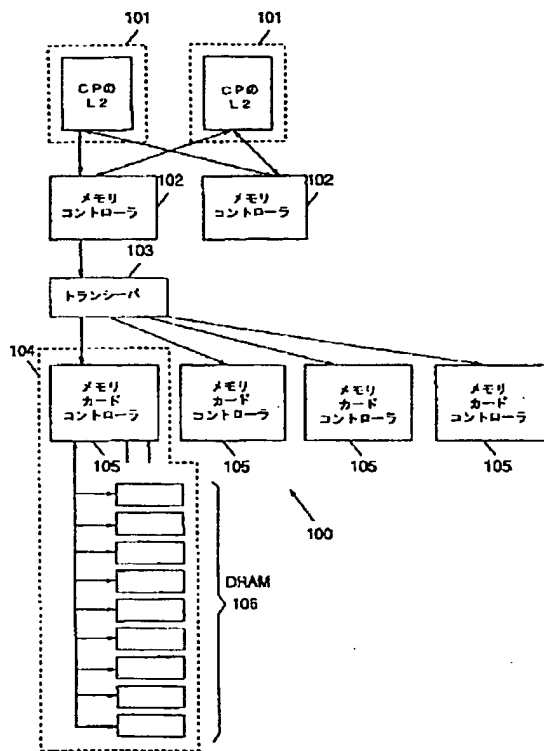
【符号の説明】

701	送信チップ
702	受信チップ
703	サービス・プロセッサ・チップ
704	信号位置合わせプログラム
705	プロセッサ・コア
706	JTAGコード・ジェネレータ
707	JTAG制御回路
708	ドライバ
709	K1/K2クロック制御信号ジェネレータ
710	バス
711	受信器
712	遅延調整器
713	タイミング・デジタイザ
714	JTAG制御回路
715	タイミング・デジタイザ
717	理想ウィンドウ・ジェネレータ
718	レジスタ

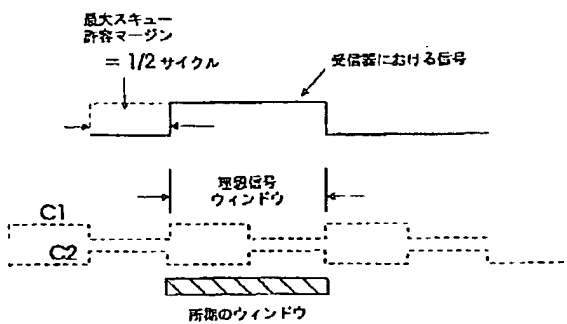
【図3】



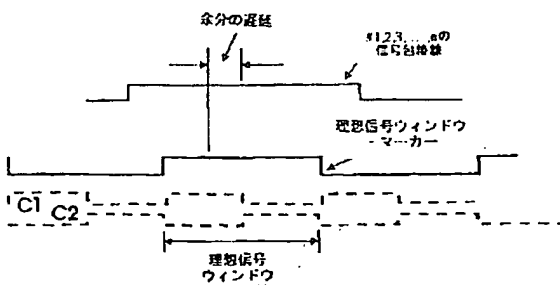
【図1】



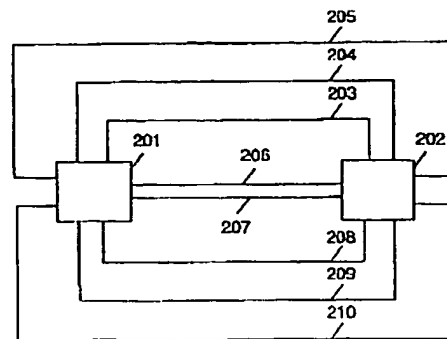
【図4】



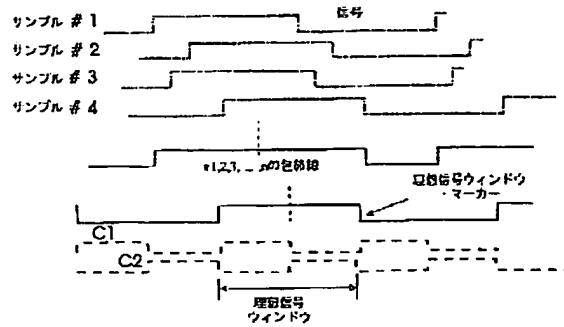
【図6】



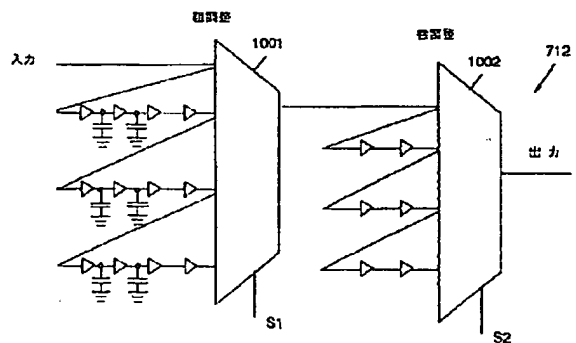
【図2】



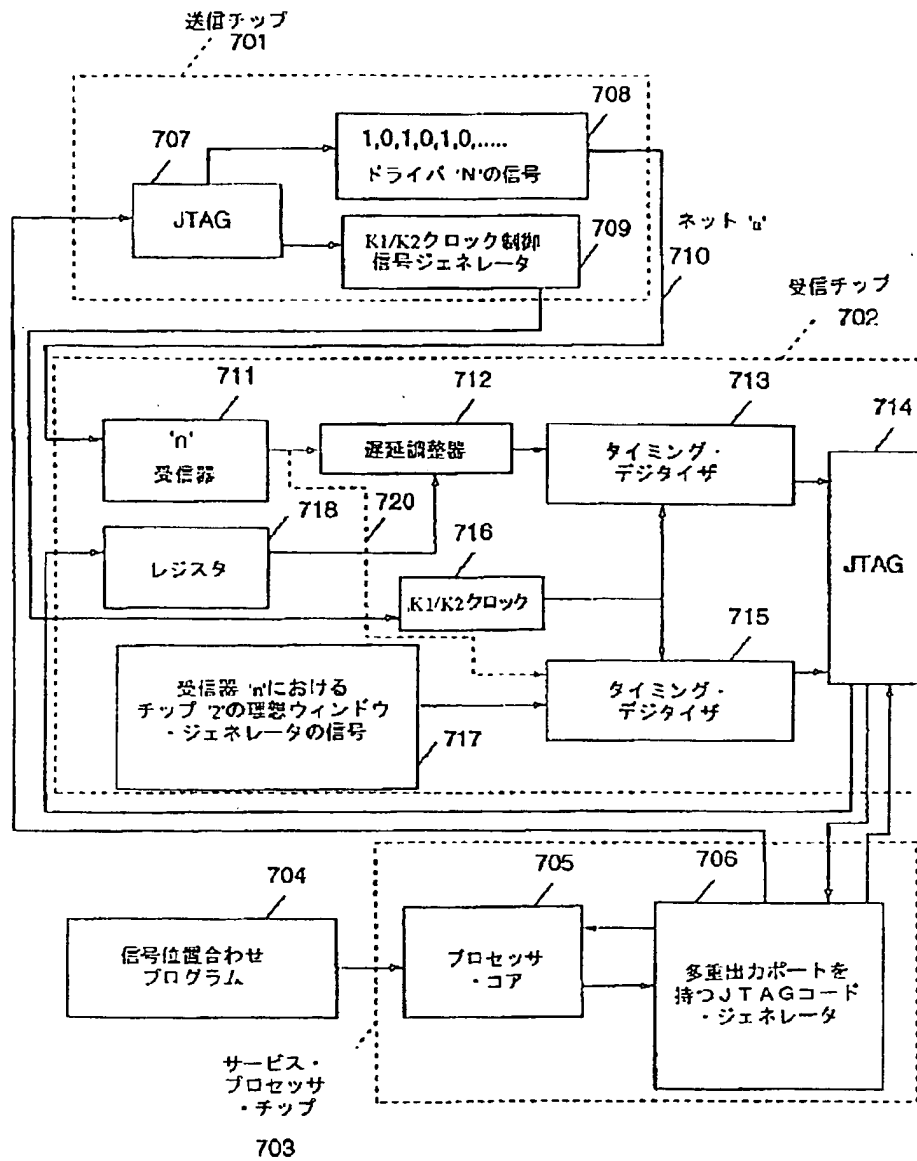
【図5】



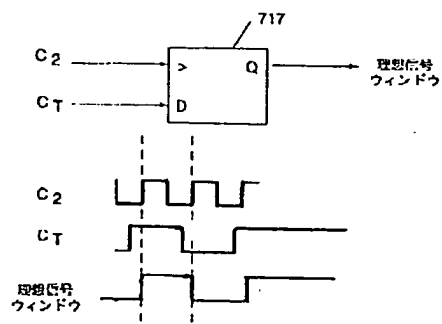
【図10】

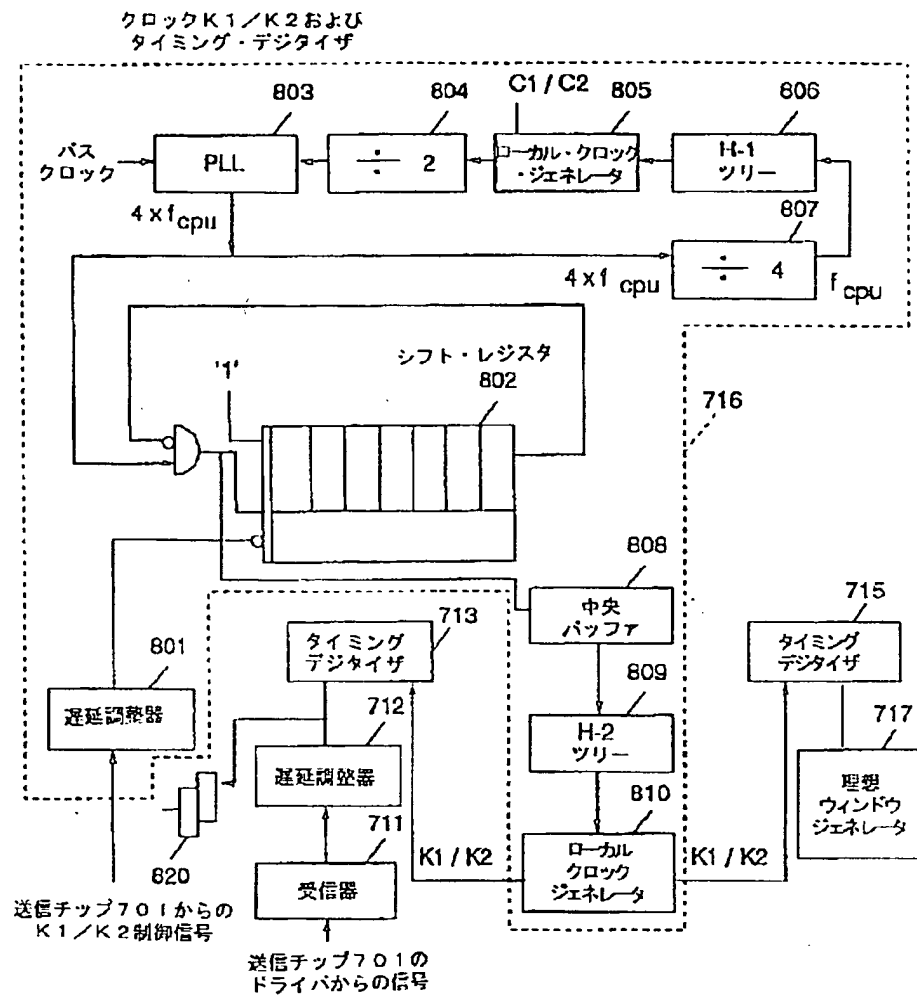


【図7】

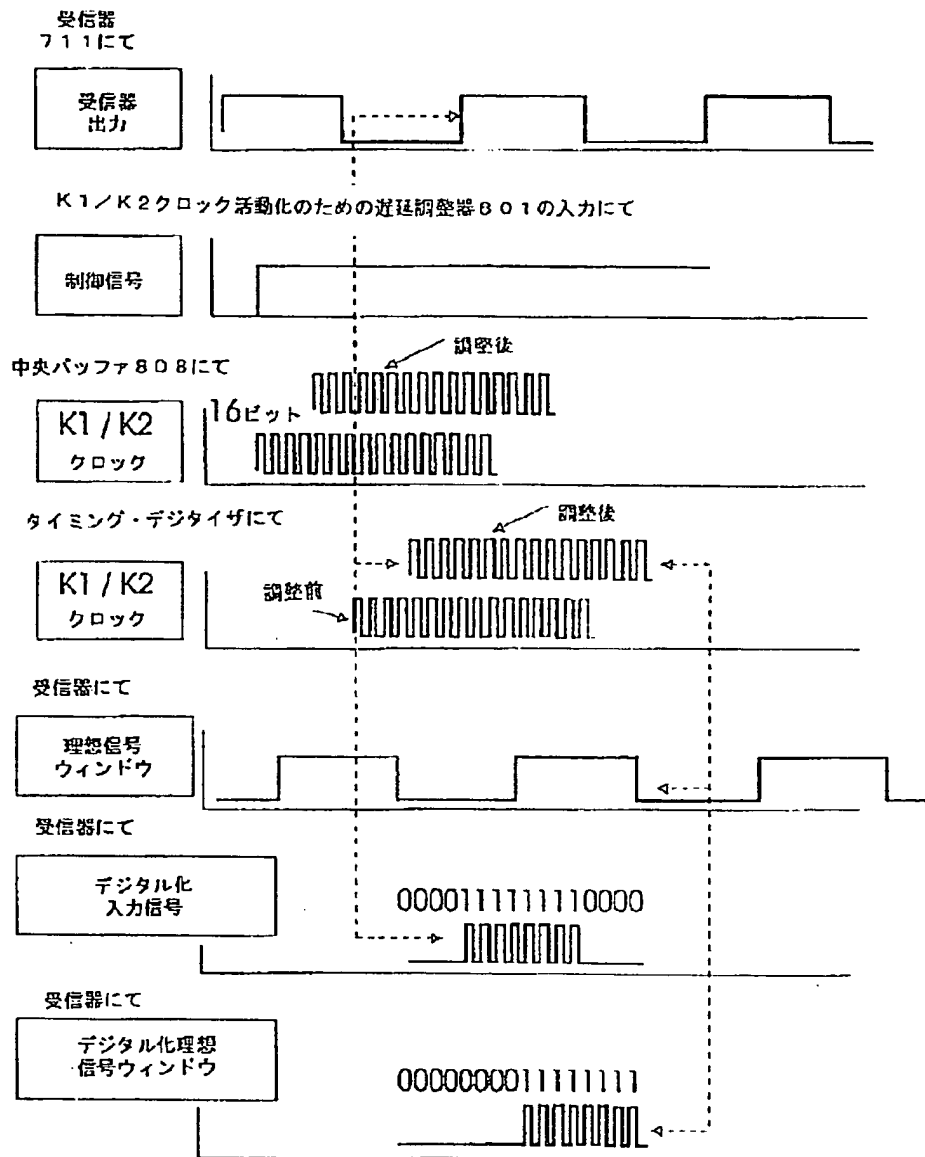


【図11】





【図9】



【図12】

